

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toshihiro NAKAMURA, et al.

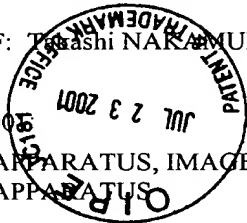
GAU: 2673

SERIAL NO: 09/842,800

EXAMINER:

FILED: April 27, 2001

FOR: DISPLAY APPARATUS, IMAGE CONTROL SEMICONDUCTOR DEVICE, AND METHOD FOR DRIVING
DISPLAY APPARATUS



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

RECEIVED
JUL 24 2001
Technology Center 2600

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-127093	April 27, 2000
JAPAN	2000-321530	October 20, 2000
JAPAN	2001-123191	April 20, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Joseph A. Scafetta Jr.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803



22850

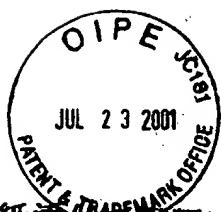
Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

09/842,800

RECEIVED

JUL 24 2001

Technology Center 2600



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 4月27日

出 願 番 号
Application Number:

特願2000-127093

出 願 人
Applicant (s):

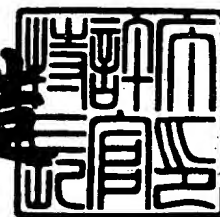
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月 1日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3101054

【書類名】 特許願

【整理番号】 12525701

【提出日】 平成12年 4月27日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置

【請求項の数】 11

【発明者】

 【住所又は居所】 埼玉県深谷市幡羅町1-9-2 株式会社東芝 深谷工場内

 【氏名】 中 村 卓

【発明者】

 【住所又は居所】 埼玉県深谷市幡羅町1-9-2 株式会社東芝 深谷工場内

 【氏名】 原 田 望

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 神奈川県川崎市幸区堀川町72番地

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100064285

 【弁理士】

 【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

 【識別番号】 100088889

 【弁理士】

 【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

 【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

絶縁基板上に縦横に列設される信号線および走査線と、
信号線および走査線の各交点付近に形成される表示素子と、
前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、
前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、を備えた表示装置において、

前記絶縁基板上に実装され前記信号線駆動回路による信号線の駆動順序に合わせた順序でデジタル画素データを出力するグラフィックコントローラ IC を備え

、
このグラフィックコントローラ IC は、前記デジタル画素データの周期の 2 倍以上の周期でクロック信号を出力し、

前記信号線駆動回路および前記走査線駆動回路は、前記クロック信号に同期させて、それぞれ信号線および走査線の駆動を行うことを特徴とする表示装置。

【請求項 2】

前記グラフィックコントローラ IC は、前記絶縁基板上に実装されることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記グラフィックコントローラ IC は、前記デジタル画素データおよび前記クロック信号の位相調整を行う位相調整回路を有することを特徴とする請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記グラフィックコントローラ IC は、前記クロック信号、同期信号、および前記デジタル画素データの他に、前記信号線駆動回路および前記走査線駆動回路の駆動開始を指示する制御信号を出力することを特徴とする請求項 1 ～ 3 のいずれかに記載の表示装置。

【請求項 5】

前記グラフィックコントローラ I C は、前記デジタル画素データを出力する画素データ出力回路を有し、

前記画素データ出力回路は、有効な前記デジタル画素データを出力しない期間内に、前記デジタル画素データのハイレベル電圧とローレベル電圧との中間レベル電圧を出力することを特徴とする請求項 1 ～ 4 のいずれかに記載の表示装置。

【請求項 6】

前記表示素子、前記信号線駆動回路および前記走査線駆動回路は、ポリシリコン T F T (Thin Film Transistor) を用いて形成され、

前記グラフィックコントローラ I C は、前記ポリシリコン T F T が安定動作する周波数の前記クロック信号を出力することを特徴とする請求項 1 ～ 5 のいずれかに記載の表示装置。

【請求項 7】

前記信号線駆動回路は、前記グラフィックコントローラ I C から出力された各信号のレベル変換を行う単相入力のレベル変換回路を有し、

前記レベル変換回路は、前記グラフィックコントローラ I C から出力された各信号を前記信号線駆動回路内のインバータのしきい値電圧を中心として上下に略等しい電圧ずつ変化する電圧に変換することを特徴とする請求項 1 ～ 6 のいずれかに記載の表示装置。

【請求項 8】

前記レベル変換回路は、

一端が入力端子に接続されたキャパシタ素子と、

前記キャパシタ素子の他端に接続されたインバータと、

前記インバータの入出力端子間に接続されたアナログスイッチと、を有し、

前記アナログスイッチをオン・オフさせることにより、前記インバータの入力電圧を、前記インバータのしきい値電圧を中心として上下に略等しい電圧ずつ変化させることを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

前記信号線駆動回路は、

前記レベル変換回路でレベル変換された後の前記デジタル画素データを前記ク

ロック信号にて順にラッチして並列に振り分けて出力する分周回路を有し、

前記分周回路は、奇数番目の前記デジタル画素データと、そのデータに隣接する偶数番目の前記デジタル画素データとを、それぞれ同タイミングで、前記クロック信号の2倍の周期で出力することを特徴とする請求項7または8に記載の表示装置。

【請求項10】

前記信号線駆動回路は、

信号線をN本（Nは2以上の整数）おきに駆動するために設けられる信号線の総数の $1/N$ 個のラッチ回路と、

前記ラッチ回路でラッチされたデジタル画素データをアナログ電圧に変換するD/Aコンバータと、を有し、

前記グラフィックコントローラICは、前記信号線駆動回路による信号線の駆動順序に合わせて前記デジタル画素データを出力することを特徴とする請求項1～9のいずれかに記載の表示装置。

【請求項11】

前記グラフィックコントローラICは、前記デジタル画素データおよび前記クロック信号の他に、前記クロック信号と位相が半周期シフトした他のクロック信号を出力することを特徴とする請求項1～10のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示素子と駆動回路を同一の絶縁基板上に形成する表示装置に関する。

【0002】

【従来の技術】

多数の表示素子を絶縁基板等に縦横に列設した表示装置が知られており、その代表的なものに液晶表示装置がある。

【0003】

この種の従来の表示装置では、表示素子が列設された画素アレイ基板とは別個

に、駆動回路基板を設けるのが一般的である。例えば、アクティブマトリクス型の表示素子は、画素アレイ基板上に縦横に列設された信号線および走査線の交点付近に形成され、これ以外に、画素アレイ基板には、各信号線を駆動するための信号線駆動回路と、各走査線を駆動するための走査線駆動回路とが形成されている。

【 0 0 0 4 】

一方、駆動回路基板には、CPUからの指示に従ってビットマップへの展開等の画像処理を行うグラフィックコントローラICと、画素アレイ基板との信号の送受を行うLCDコントローラICとが形成されている。このLCDコントローラICは、ゲートアレイ等で構成される。

【 0 0 0 5 】

図16は従来の液晶表示装置のブロック図であり、ガラス基板上にポリシリコンTFTを用いて画素アレイ部1と駆動回路の一部（信号線駆動回路や走査線駆動回路など）を形成し、別基板にCPU100、グラフィックコントローラIC101、およびゲートアレイ（G/A）102を形成した例を示している。

【 0 0 0 6 】

図16において、ゲートアレイ102は、グラフィックコントローラIC101から出力されたデジタル画素データの並び替えを行う。ゲートアレイ102の出力は、制御回路103、サンプリング回路104、およびラッチ回路105を介してD/Aコンバータ（DAC）106に入力される。D/Aコンバータ106は、デジタル画素データをアナログ電圧に変換する。このアナログ電圧はアンプ（AMP）107で増幅された後、選択回路108で選択されて各信号線109に供給される。

【 0 0 0 7 】

【発明が解決しようとする課題】

部品コストの削減および小型化を図るには、部品点数、基板面積および基板の数を減らす必要があるが、従来の表示装置では、グラフィックコントローラIC5、ゲートアレイ102、信号線駆動回路、および走査線駆動回路等の複数の回路を用いて駆動回路を構成していたため、駆動回路の回路規模を小さくできな

いという問題がある。

【 0 0 0 8 】

また、最近、液晶表示装置では、高速動作が可能なポリシリコン T F T (Thin Film Transistor) をガラス基板上に形成して、画素アレイ部だけでなく、駆動回路の一部もガラス基板上に形成する技術が進んでいる。

【 0 0 0 9 】

しかしながら、ポリシリコン T F T は高速動作が可能といっても、移動度がそれほど速くないため、解像度が高くなって一画素あたりの周期が短くなると、安定に動作しなくなる。したがって、従来は、高速動作が必要なグラフィックコントローラ I C 5 等はガラス基板の外部に設けるのが一般的であり、駆動回路全体を画素アレイ部と一体に形成することはできなかった。

【 0 0 1 0 】

本発明は、このような点に鑑みてなされたものであり、その目的は、小型化が可能で、高解像度でも安定動作する表示装置を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

上述した課題を解決するために、請求項 1 の発明は、絶縁基板上に縦横に列設される信号線および走査線と、信号線および走査線の各交点付近に形成される表示素子と、前記絶縁基板上に形成され各信号線を駆動する信号線駆動回路と、前記絶縁基板上に形成され各走査線を駆動する走査線駆動回路と、を備えた表示装置において、前記信号線駆動回路による信号線の駆動順序に合わせた順序でデジタル画素データを出力するグラフィックコントローラ I C を備え、このグラフィックコントローラ I C は、前記デジタル画素データの周期の 2 倍以上の周期でクロック信号を出力し、前記信号線駆動回路および前記走査線駆動回路は、前記クロック信号に同期させて、それぞれ信号線および走査線の駆動を行う。

【 0 0 1 2 】

請求項 1 の発明では、グラフィックコントローラ I C から、デジタル画素データの周期の 2 倍以上の周期でクロック信号を出力するため、表示解像度が高くてモクロック信号の周波数を高くする必要がなくなる。また、グラフィックコント

ローラ IC は、信号線の駆動順序に合わせて並べ替えを行った状態でのデジタル画素データを出力するため、並び替えを行うためのゲートアレイ等が不要になり、回路規模を削減できる。

【0013】

請求項2の発明では、表示素子、信号線駆動回路および走査線駆動回路が形成される絶縁基板上にグラフィックコントローラ IC を実装するため、表示素子と駆動回路全体を同一の絶縁基板にまとめることができ、小型化およびコストダウンが図れる。

【0014】

請求項3の発明では、グラフィックコントローラ IC 内に位相調整回路を設けるため、信号線駆動回路内でデジタル画素データをクロック信号で確実に取り込めるようになる。

【0015】

請求項4の発明では、信号線駆動回路および走査線駆動回路の駆動開始を指示する制御信号もグラフィックコントローラ IC から出力するため、駆動回路を構成する部品点数を削減できる。

【0016】

請求項5の発明では、有効なデジタル画素データを出力しない期間（例えば、ブランキング期間）に、グラフィックコントローラ IC からデジタル画素電圧の代わりに中間レベル電圧を出力するようにしたため、ブランキング期間終了後にデジタル画素電圧を迅速に所望の電圧に設定することができる。

【0017】

請求項6の発明では、ポリシリコン TFT が安定動作する範囲内の周波数のクロック信号をグラフィックコントローラ IC から出力するため、グラフィックコントローラ IC から出力されたクロック信号を直接、信号線駆動回路や走査線駆動回路に取り込むことができ、グラフィックコントローラ IC を信号線駆動回路等が形成される絶縁基板上に容易に実装できる。

【0018】

請求項7の発明では、信号線駆動回路内にレベル変換回路を設けるため、グラ

フィックコントローラ IC の出力電圧レベルが信号線駆動回路の動作電圧レベルと異なっても、特に支障は起きない。また、レベル変換回路を単相入力にするため、レベル変換回路の構成を簡略化できる。

【 0 0 1 9 】

請求項 8 の発明では、レベル変換回路内にキャパシタ素子と、インバータの入出力端子間に接続されたアナログスイッチとを設けるため、キャパシタ素子の両端にインバータのしきい値電圧に応じた電圧を印加することができ、簡易な回路構成でレベル変換を行える。

【 0 0 2 0 】

請求項 9 の発明では、レベル変換後のデジタル画素データを並列に振り分ける分周回路を設けるため、デジタル画素データの周期を長くすることができ、ポリシリコン T F T をより安定動作させることができる。

【 0 0 2 1 】

請求項 1 0 の発明では、信号線を N 本おきに駆動するため、信号線駆動回路内のラッチ回路や D / A コンバータの数を削減でき、信号線駆動回路の回路規模を小型化できる。

【 0 0 2 2 】

請求項 1 1 の発明では、グラフィックコントローラ IC から、互いに位相が半周期ずれた 2 種類のクロック信号を出力するため、信号線駆動回路の内部では、クロック信号の周期よりも短い周期でデジタル画素データを取り込むことができ、表示解像度が高くても、クロック信号の周波数を上げる必要がなくなる。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。以下では、表示装置の一例として、画素ごとに T F T (Thin Film Transistor) を有するアクティブマトリクス型の液晶表示装置について主に説明する。

【 0 0 2 4 】

図 1 は本発明に係る表示装置の一実施形態のブロック図である。図 1 の表示装置は、従来の表示装置に比べて、画素アレイ部との信号の送受を行う L C D コン

トローラ I C (ゲートアレイ) を省略した点と、画素アレイ部が形成されるガラス基板上にグラフィックコントローラ I C 5 を実装する点とに特徴がある。

【 0 0 2 5 】

図 1 では、信号線の駆動に関連する部分のみ図示している。ガラス基板 1 0 上にポリシリコン T F T を用いて形成された信号線駆動回路 2 は、グラフィックコントローラ I C 5 からの信号を受けて、画素アレイ部 1 に列設された各信号線を駆動する。

【 0 0 2 6 】

図 2 は図 1 の表示装置の斜視図である。図示のように、ガラス基板 1 0 上には、画素アレイ部 1、信号線駆動回路 2、走査線駆動回路 3、および制御回路 4 がそれぞれポリシリコン T F T を用いて形成され、ガラス基板 1 0 の端部にはグラフィックコントローラ I C 5 が実装されている。なお、グラフィックコントローラ I C 5 以外の I C チップ (例えば、C P U や表示メモリ等) をガラス基板 1 0 上に実装してもよい。

【 0 0 2 7 】

制御回路 4 は、図 1 に示すように、グラフィックコントローラ I C 5 から出力された各種制御信号 (同期信号、ロード信号 L、クロック信号 C L K 等) の電圧レベルを変換するレベルシフタ (L / S) 1 1 と、信号線駆動回路 2 内の各部を制御する制御信号出力部 1 2 とを有する。

【 0 0 2 8 】

図 1 において、太線で示したグラフィックコントローラ I C 5 と制御信号出力部 1 2 の内部に、図 1 6 に示したゲートアレイ 1 0 2 の機能が含まれている。

【 0 0 2 9 】

以下では、640×3 本の信号線と 480 本の走査線が画素アレイ部 1 に列設されているものとする。また、グラフィックコントローラ I C 5 は、R G B 各 6 ビットのデジタルデータを信号線駆動回路 2 に供給するものとする。

【 0 0 3 0 】

図 1 の構成を説明する前に、グラフィックコントローラ I C 5 の構成を説明する。図 3 はグラフィックコントローラ I C 5 の内部構成を示すブロック図である

。図示のように、グラフィックコントローラ IC 5 は、CPU からの映像データを受け取るホストインタフェース部 31 と、レジスタ 32 と、受け取った映像データを格納する DRAM からなるフレームメモリ (VRAM) 33 と、フレームメモリ 33 に対する書き込み・読み出しを制御するメモリ制御回路 34 と、映像データを一時的に格納する表示 FIFO 35 と、画面上に表示されるカーソルデータを一時的に格納するカーソル FIFO 36 と、映像データおよびカーソルデータを RGB 各 6 ビット階調のデジタル画素データに変換するルックアップテーブル 37 と、デジタル画素データの出力制御を行う画素データ出力回路 38 と、クロック信号 CLK の位相調整を行う位相調整回路 39 と、クロック信号 CLK および同期信号の出力制御を行う制御信号出力回路 40 とを備えている。

【0031】

画素データ出力回路 38 は、RGB 各 6 ビットの計 18 ビットのデジタル画素データを、40ns (25MHz) の周期で順次出力する。制御信号出力回路 40 は、12.5MHz のクロック信号 CLK と同期信号とを出力する。クロック信号 CLK の位相は、映像信号に対してほぼ半クロック信号 CLK (20ns) ずれている。

【0032】

図 4 はグラフィックコントローラ IC 5 の出力タイミング図であり、制御信号であるイネーブル信号 ENAB およびロード信号 L と、クロック信号 CLK と、デジタル画素データ DATA とのタイミング図を示している。

【0033】

図 4 に示すように、クロック信号 CLK の周期はデジタル画素データ DATA の周期の 2 倍であり、クロック信号 CLK の位相とデジタル画素データ DATA の位相とを互いにずらしている。

【0034】

このように、クロック信号 CLK の周期をデジタル画素データの周期の 2 倍以上にすることにより、信号線駆動回路 2 に供給されるクロック信号 CLK の周波数を低くすることができ、信号線駆動回路 2 の回路動作を安定化させることができる。また、デジタル画素データ DATA の位相とクロック信号 CLK の位相とを互いにずらすことにより、信号線駆動回路 2 の内部でデジタル画素データを DATA ク

ロック信号CLKにて確実にラッチできるようになる。

【0035】

なお、デジタル画素データDATAとクロック信号CLKとの位相調整は、グラフィックコントローラIC5内の位相調整回路39で行われる。

【0036】

図5は位相調整回路39の回路図である。図示のように、位相調整回路39は、複数のインバータIV1～IV6を縦続接続して構成される。偶数段目のインバータIV2, IV4, IV6の出力端子にはそれぞれスイッチSW1～SW4が接続されており、これらスイッチSW1～SW4のいずれか一つのみがオンする。CMOS-ICの場合、インバータ一段あたりの遅延時間は5ns程度であるため、図5の回路の場合、10ns間隔で遅延時間を調整することができる。

【0037】

なお、スイッチSW1～SW4の切り換えは、製造時等に手動で行ってもよいが、グラフィックコントローラIC5から信号線駆動回路2に信号を送って、その信号が戻ってくるまでの時間に応じて、自動的にスイッチSW1～SW4の切り換えを行ってもよい。

【0038】

制御信号出力回路40は、図4に示すように、1水平ライン期間の合間、あるいは1フレーム期間の合間のブランキング期間に、同期信号とクロック信号CLKを中間電位に設定する。中間電位に設定することにより、次のサイクルが開始した時点で、同期信号とクロック信号CLKとを迅速に所定の電位に設定することができる。

【0039】

図6は同期信号とクロック信号CLKを中間電位に設定するための中間電位設定回路の回路図である。この中間電位設定回路は、グラフィックコントローラIC5内の画素データ出力回路39と制御信号出力回路40の内部に設けられる。

【0040】

中間電位設定回路は、図6に示すように、NMOSトランジスタQ1, Q2とPMOSトランジスタQ3, Q4とを有し、NMOSトランジスタQ2とPMOSトランジスタQ

4 は電源端子と接地端子との間に直列接続されており、抵抗素子 R 1、NMOSトランジスタ Q 1、PMOSトランジスタ Q 3 および抵抗素子 R 2 は電源端子と接地端子との間に直列接続されている。

【 0 0 4 1 】

抵抗素子 R 1、R 2 の抵抗値を互いに等しくして十分に高くすることにより、NMOSトランジスタ Q 1 のドレイン端子とNMOSトランジスタ Q 2 のゲート端子はともに $(V_{cc}/2 + V_{tn})$ になり、PMOSトランジスタ Q 3 のドレイン端子とPMOSトランジスタ Q 4 のゲート端子はともに $(V_{cc}/2 + |V_{tp}|)$ になる。これにより、数 μA 程度のわずかな貫通電流で数 mA の電流駆動力を得ることができる。

【 0 0 4 2 】

中間電位設定回路の出力端子には、図 6 に示すように、アナログスイッチ SW が接続されている。このアナログスイッチ SW は、ブランキング期間中は中間電位設定回路の出力を選択し、ブランキング期間以外はクロック信号 CLK0 を選択する。

【 0 0 4 3 】

図 6 では、クロック信号 CLK を中間電位に設定する例を示しているが、デジタル画素データ DATA も図 6 と同様の回路により、ブランキング期間中に中間電位に設定される。

【 0 0 4 4 】

本実施形態のグラフィックコントローラ IC 5 は、CPU から供給されたデジタル画素データ DATA を並び替えて出力する。従来は、図 1 6 に示すように、グラフィックコントローラ IC 5 とは別個のゲートアレイ 1 0 2 の内部にラインメモリを設けてデータの並べ替えを行っていた。これは、グラフィックコントローラ IC 5 の汎用性を高め、ポリシリコン TFT だけでなく、アモルファスシリコン TFT や MIM などを用いる他のアクティブマトリクス表示装置でも共通して利用できるようにするためである。

【 0 0 4 5 】

これに対して、本実施形態は、グラフィックコントローラ IC 5 内にはそもそもフレームメモリ 3 3 (VRAM) という数百キロバイト～数メガバイトの巨大なメモリが存在しており、このメモリの一部を利用してデータの並べ替えを行うこと

はゲート規模の観点から容易であると判断し、グラフィックコントローラ IC 5 内で並べ替えを行うことにした。

【 0 0 4 6 】

図 7 はフレームメモリ 3 3 の制御を行うメモリ制御回路 3 4 の内部構成を示す図である。図示のように、メモリ制御回路 3 4 は、最下位層にハードウェア層 4 1 が、その上位に I/O 関数層 4 2 が、その上位にドライバ関数層 4 3 が、最上位層にアプリケーション層 4 4 がある。

【 0 0 4 7 】

ハードウェア層 4 1 は、フレームメモリ 3 3 に対するアクセスを実際に行う部分である。I/O 関数層 4 2 は、ハードウェア層 4 1 のポートや内部レジスタを書き換えてフレームメモリ 3 3 に対するアクセス方法を切り替える部分である。ドライバ関数層 4 3 は、上層のアプリケーション層 4 4 から直接呼び出され、画面の初期化、画面の表示制御、矩形描画、およびビットマップ描画等の種々の機能を実現する部分である。アプリケーション層 4 4 は、画像表示のための種々のコマンドを発行する部分である。

【 0 0 4 8 】

I/O 関数層 4 2 とドライバ関数層 4 3 は、C 言語などのプログラム言語で生成される。画面の特定領域への描画は、フレームメモリ 3 3 の座標 (x, y) = 色情報が格納されたルックアップテーブル 3 7 上のアドレスの形式で記述される。また、フレームメモリ 3 3 からのデータの読み出しも、配列を用いて行う。

【 0 0 4 9 】

フレームメモリ (VRAM) 3 3 のメモリ空間 (VRAM 空間) は、図 8 に示すように、一画面分以上の領域があり、ドライバ関数層により VRAM のポインタを制御することにより、VRAM 内の任意の領域を画面に表示することができる。このように、VRAM のメモリ空間を一画面分以上設けることにより、スクロールや画面の切り替えを迅速に行うことができる。

【 0 0 5 0 】

このように、本実施形態のグラフィックコントローラ IC 5 は、デジタル画素データ DATA の並び替えを内部で行うため、ゲートアレイを設ける必要がなくなる

。また、クロック信号CLKの周期をデジタル画素データDATAの周期の2倍以上にするため、ポリシリコンTFTが正常に動作する周波数のクロック信号CLKを信号線駆動回路2に供給できる。

【0051】

さらに、クロック信号CLKのエッジとデジタル画素データDATAの変化位置とをずらして出力するため、信号線駆動回路2でデジタル画素データDATAを確実に取り込むことができる。

【0052】

一方、本実施形態の信号線駆動回路2は、図9に詳細なブロック図を示すように、デジタル画素データDATAの振幅レベルを変換するレベルシフタ(L/S)51と、デジタル画素データDATAの周期を2倍に引き延ばす分周回路52と、直列に並んだデジタル画素データDATAを並列出力するデータ分配回路53と、分配したデジタル画素データDATAをまとめてラッチするラッチ回路(Latch)54と、ラッチしたデジタル画素データDATAをアナログ電圧に変換するD/Aコンバータ(DAC)55と、アナログ電圧のゲイン調整を行うアンプ(AMP)56と、アンプ56から出力されたアナログ画素電圧を選択して個々の信号線に供給する選択回路57とを有する。

【0053】

図10はレベルシフタ51の回路図、図11はレベルシフタ51の入出力信号の波形図である。図11の太線曲線aは入力信号、細線曲線bは出力信号を示している。図10に示すように、レベルシフタ51は、キャパシタ素子C1と、インバータを構成するPMOSトランジスタQ5およびNMOSトランジスタQ6と、アナログスイッチSW5とを有する。

【0054】

レベルシフタ51内のアナログスイッチSW5は、ブランキング期間中に、グラフィックコントローラIC5からのデジタル画素データDATAが中間電位(1.65V)になっているときにオンする。これにより、キャパシタ素子C1の他端bはインバータのしきい値電圧(略2.5V)に等しくなり、キャパシタ素子C1の両端には、 $2.5V - 1.65V = 0.85V$ の電圧が印加される。

【 0 0 5 5 】

アナログスイッチSW5がオフすると、グラフィックコントローラIC5から供給されたデジタル画素データDATAは、キャパシタ素子C1の両端電圧0.85Vだけオフセット調整されて伝達される。すなわち、インバータを構成するPMOSトランジスタQ5およびNMOSトランジスタQ6のゲート端子には、インバータのしきい値電圧を中心として上下に同レベルだけ振れる電圧が印加される。

【 0 0 5 6 】

このように、インバータのしきい値電圧に対して入力を対称化したことにより、ポリシリコンTFTのしきい値がばらついたり、PMOSトランジスタQ5およびNMOSトランジスタQ6の特性がアンバランスになったり、入力振幅がなまっても、インバータは高速動作し、しかもパルス幅は変化しにくくなる。

【 0 0 5 7 】

図12は分周回路52の回路図である。図示のように、分周回路52は、クロック信号CLKの2周期分のデータ幅にて同位相でデジタル画素データDATAを出力する2つのラッチ回路61、62を有する。各ラッチ回路54は、クロックドインバータと、インバータとを有する。

【 0 0 5 8 】

分周回路52内の各ラッチ回路54の出力DATA-E, DATA-Oのタイミングは図13のようになる。図13では、グラフィックコントローラIC5から出力されたデジタル画素データDATAを、①②③…で表している。

【 0 0 5 9 】

図13に示すように、ラッチ回路61、62はそれぞれデジタル画素データDATAを一つおきにラッチし、同タイミングで出力する。分周回路52の出力は、データ分配回路53に入力される。ラッチ回路61は、正相クロックのダウンエッジで、ラッチ回路62は逆相クロックのダウンエッジによりデータラッチを行う。正相クロックだけでなく、逆相クロックもグラフィックコントローラIC5でタイミング調整することが、ラッチマージンを確保する上で望ましい。

【 0 0 6 0 】

本実施形態は、信号線のN本単位で各信号線を駆動する点に特徴がある。この

ようにすることで、信号線駆動回路 2 内のラッチ回路 5 4 や D/A コンバータ 5 5 等の個数を削減できる。

【 0 0 6 1 】

データ分配回路 5 3 は、分周回路 5 2 から出力されたデジタル画素データ DATA を順にラッチして並列に振り分ける。ラッチ回路 5 4 は、データ分配回路 5 3 がタイミングをずらしてラッチした複数のデータを同タイミングで再ラッチする。再ラッチされたデータは D/A コンバータ 5 5 に入力されてアナログ電圧に変換された後、アンプ 5 6 で増幅されてアナログ画素電圧が生成される。

【 0 0 6 2 】

図 1 4 は本実施形態の表示装置のガラス基板 1 0 上のレイアウト図である。また、図 1 5 は汎用のグラフィックコントローラ IC を用いて構成した従来の表示装置のチップレイアウト図である。

【 0 0 6 3 】

汎用のグラフィックコントローラ IC は、正順出力されるデジタル画素データと、画素データ幅を周期とするクロックとを出力する。ライン/スペース = $4 \mu\text{m} / 4 \mu\text{m}$ 程度のデザインルールでは、全信号線に対して D/A コンバータを形成することは難しく、複数信号線ごとに D/A コンバータを設けざるを得ない。この場合、正順入力される画素データをいったん一水平期間分ラッチし、所望の順序に並び替える必要がある。

【 0 0 6 4 】

また、図 1 5 の場合、ガラス基板 1 0 上でデジタル画素データの並び替えを行う必要があるため、1 ライン分のラッチ（メモリ）回路を設ける必要があり、ラッチ回路は 6 倍に増大する。このため、データ分配回路 1 0 2、D/A コンバータ 1 0 6、アンプ 1 0 7 および選択回路 1 0 8 を 2 組、上下額縁にそれぞれ分けて設けなければならなくなる。

【 0 0 6 5 】

このように、本実施形態のようにグラフィックコントローラ IC 5 の内部でデジタル画素データ DATA の並び替えを行うようにすると、ガラス基板 1 0 上の構成を簡略化でき、グラフィックコントローラ IC 5 をガラス基板 1 0 上に実装する

ためのスペースを容易に得ることができる。

【 0 0 6 6 】

図 1 には、本実施形態を利用して V G A 規格 (640×480 ドット) で R G B 各 6 ビットの液晶表示装置を構成した場合の各部のゲート数が図示されている。図 1 は、信号線を 6 本おきに駆動する例を示している。

【 0 0 6 7 】

図 1 の場合、レベルシフタ 5 1 が各色ごとに 6 個で計 18 個、分周回路 5 2 が各色ごとに 6 個で計 18 個、サンプリング回路 5 3 とラッチ回路 5 4 がそれぞれ各色ごとに 640 個で計 1920 個、D / A コンバータ 5 5 とアンプ 5 6 がそれぞれ 320 個必要になる。この結果、制御回路に 1 K ゲート、分周回路 5 2 に 1 K ゲート、サンプリング回路およびラッチ回路 5 4 に 13 K バイト、D / A コンバータ 5 5、アンプ 5 6 および選択回路に 5 K ゲート必要になる。

【 0 0 6 8 】

このように、本実施形態では、ゲートアレイが不要になる分と、信号線を N 本 (N は 2 以上の任意の整数) おきに駆動することによるサンプリング回路とラッチ回路 5 4 の削減分により、従来に比べて大幅に回路規模を削減できる。

【 0 0 6 9 】

また、図 1 4 と図 1 5 では、チップの概略サイズを図示している。本実施形態の場合、駆動回路の形成領域の縦方向の長さが 8.3mm 程度であるのに対し、図 1 5 に示す従来の構成では、駆動回路の形成領域の縦方向の長さは $5.0\text{mm} \times 2 = 10\text{mm}$ 程度になり、本実施形態の方が駆動回路の形成領域が小さくなる。

【 0 0 7 0 】

上述した実施形態では、グラフィックコントローラ I C 5 から出力されるデジタル画素データ DATA の周期をクロック信号 C L K の 2 倍の周期に設定しているが、2 倍より長い周期に設定してもよい。また、グラフィックコントローラ I C 5 から信号線駆動回路 2 に伝送するクロック信号 C L K の周波数は 12.5MHz 以外でもよい。さらに、上述したグラフィックコントローラ I C 5 から出力される信号の種類にも特に制限はない。

【 0 0 7 1 】

また、上述した実施形態では、表示装置の一例として液晶表示装置について説明したが、信号線および走査線が縦横に列設された他の表示装置（例えば、プラズマディスプレイ装置）などにも本発明は適用可能である。

【0072】

さらに、上述した実施形態では、VGA規格（640×480ドット）の表示解像度を一例として説明したが、表示解像度には特に制限はない。

【0073】

【発明の効果】

以上詳細に説明したように、本発明によれば、グラフィックコントローラICから、デジタル画素データの周期の2倍以上の周期でクロック信号を出力するため、表示解像度が高くてもクロック信号の周波数を高くする必要がなくなる。また、グラフィックコントローラICは、信号線の駆動順序に合わせて並べ替えを行った状態でのデジタル画素データを出力するため、並び替えを行うためのゲートアレイ等が不要になり、回路規模を削減できる。

【0074】

さらに、表示素子が形成される絶縁基板上にグラフィックコントローラICを実装するため、表示素子と駆動回路全体を同一の絶縁基板上にまとめることができ、小型化およびコストダウンが図れる。

【0075】

また、グラフィックコントローラICから出力されるクロック信号の周波数をあまり速くしないようにしたため、ポリシリコンTFTのように移動度（動作速度）があまり速くない表示素子でも安定に動作させることができる。

【0076】

さらに、グラフィックコントローラICから出力されるクロック信号とデジタル画素データとの位相調整を、グラフィックコントローラICの内部で行えるようにしたため、信号線駆動回路2内でデジタル画素データをクロック信号で確実に取り込むことができる。

【図面の簡単な説明】

【図1】

本発明に係る表示装置の一実施形態のブロック図。

【図 2】

図 1 の表示装置の斜視図。

【図 3】

グラフィックコントローラ IC の内部構成を示すブロック図。

【図 4】

グラフィックコントローラ IC の出力タイミング図。

【図 5】

位相調整回路の回路図。

【図 6】

同期信号とクロック信号 CLK を中間電位に設定するための中間電位設定回路の回路図。

【図 7】

フレームメモリの制御を行うメモリ制御回路の内部構成を示す図。

【図 8】

VRAM 空間と表示空間との関係を示す図。

【図 9】

信号線駆動回路の内部構成を示すブロック図。

【図 1 0】

レベルシフタの回路図。

【図 1 1】

レベルシフタの入出力信号の波形図。

【図 1 2】

分周回路の回路図。

【図 1 3】

分周回路内の各ラッチ回路の出力タイミング図。

【図 1 4】

本実施形態の表示装置のガラス基板上のレイアウト図。

【図 1 5】

汎用のグラフィックコントローラ I C を用いて構成した従来の表示装置のチップレイアウト図。

【図 1 6】

従来の液晶表示装置のブロック図。

【符号の説明】

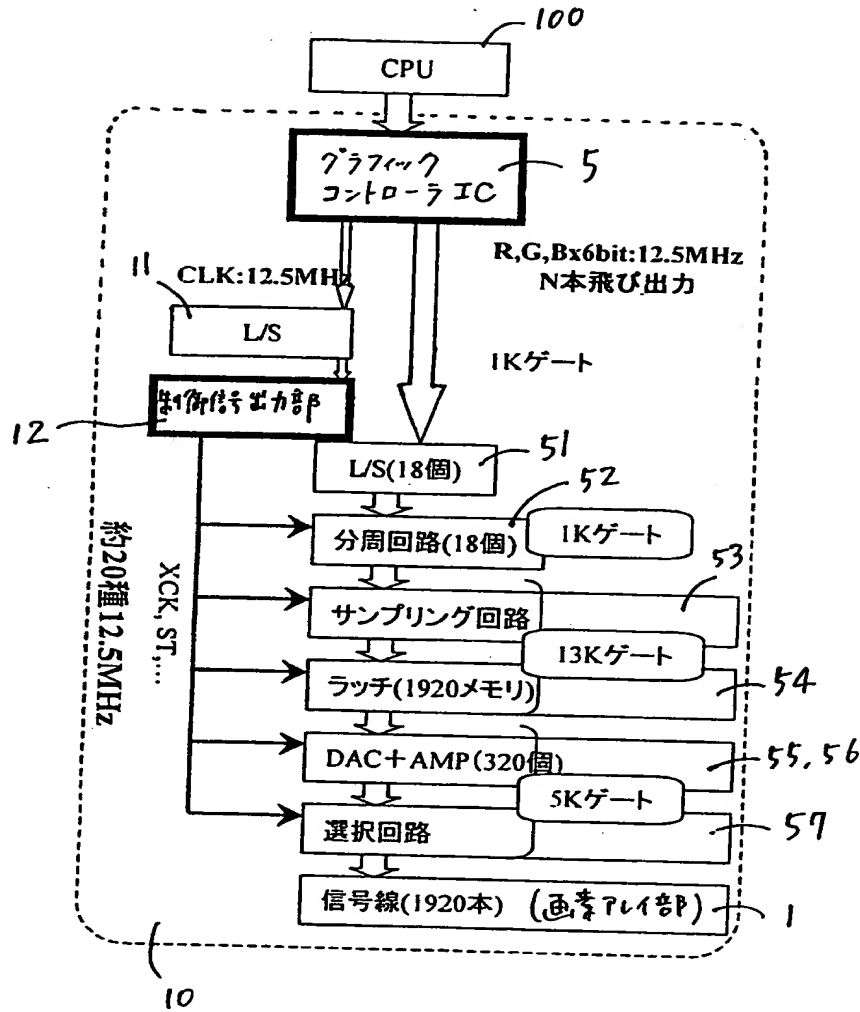
- 1 画素アレイ部
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4 制御回路
- 5 グラフィックコントローラ I C
- 1 0 ガラス基板
- 1 1 レベルシフタ (L / S)
- 1 2 制御信号出力部
- 1 3 ホストインタフェース部
- 3 1 ホストインタフェース部
- 3 2 レジスタ
- 3 3 フレームメモリ (V R A M)
- 3 4 メモリ制御回路
- 3 5 表示 F I F O
- 3 6 カーソル F I F O
- 3 7 ルックアップテーブル
- 3 8 画素データ出力回路
- 3 9 位相調整回路
- 4 0 制御信号出力回路
- 5 1 レベルシフタ
- 5 2 分周回路
- 5 3 データ分配回路
- 5 4 ラッチ回路
- 5 5 D / A コンバータ

5 6 アンプ

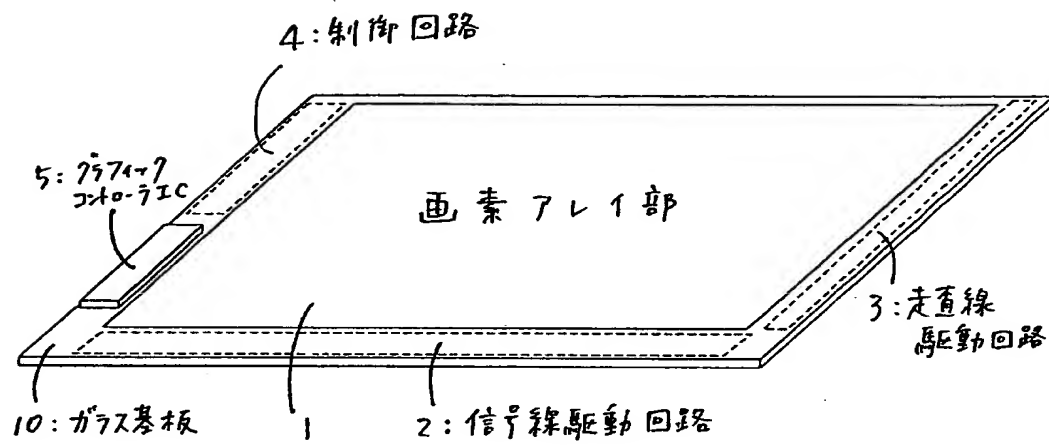
5 7 選択回路

【書類名】 図面

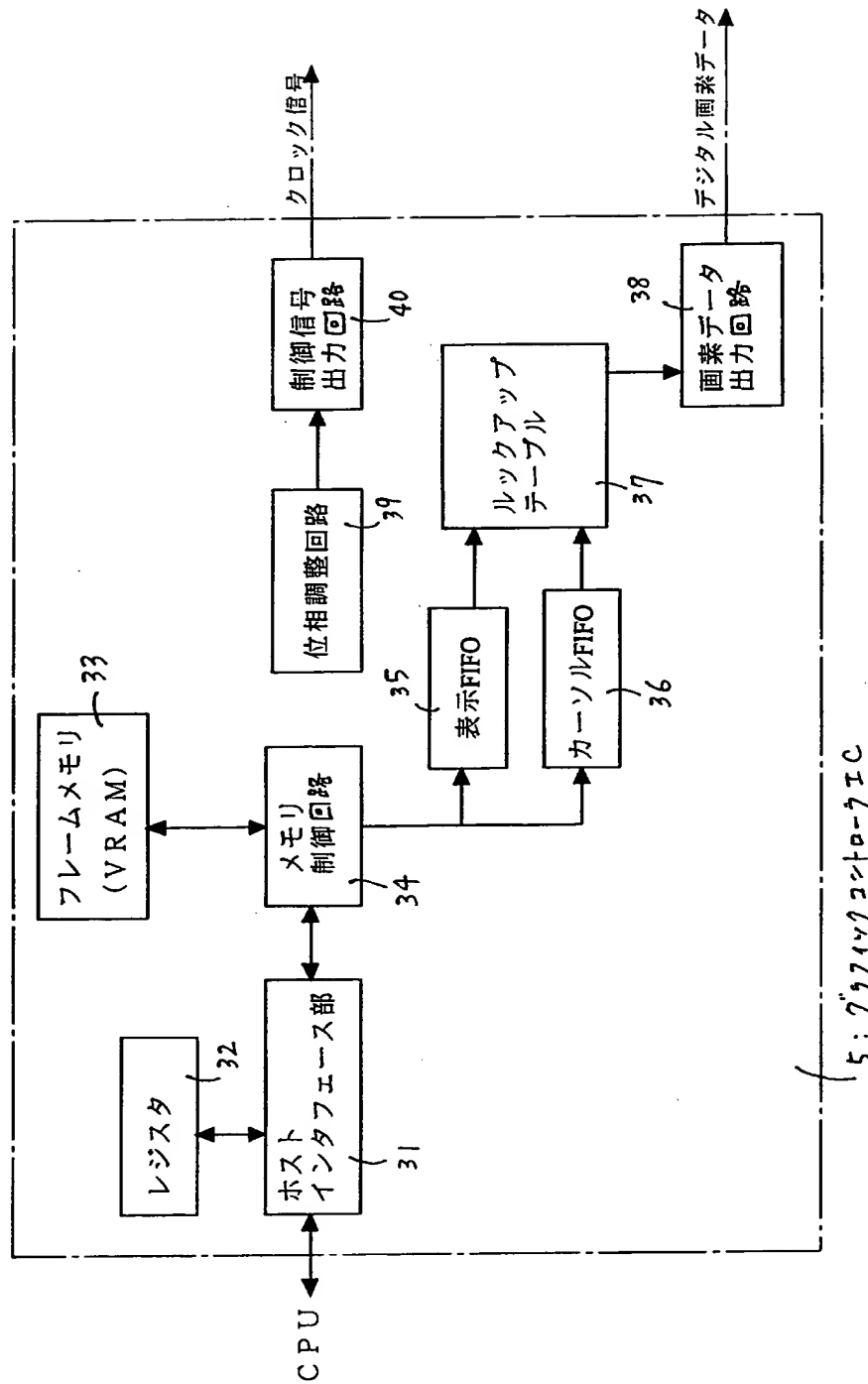
【図 1】



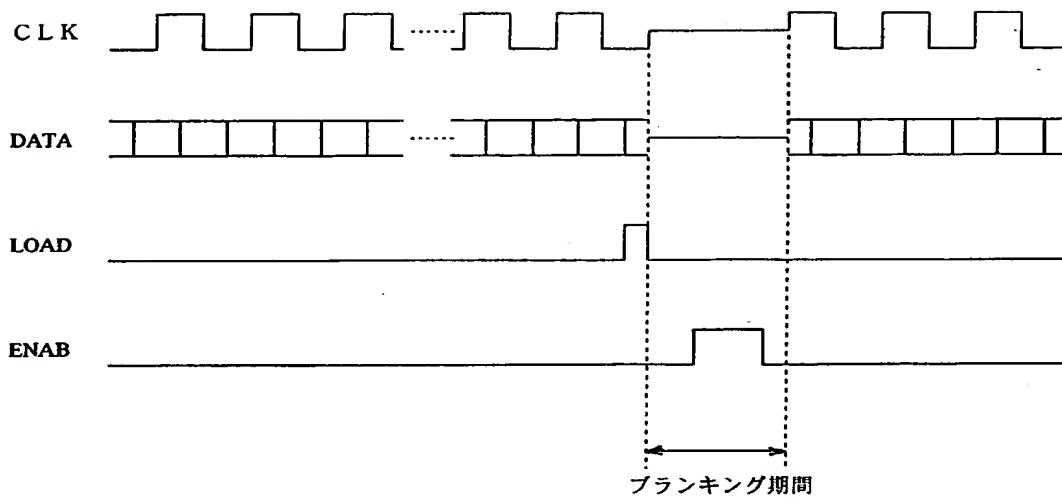
【図2】



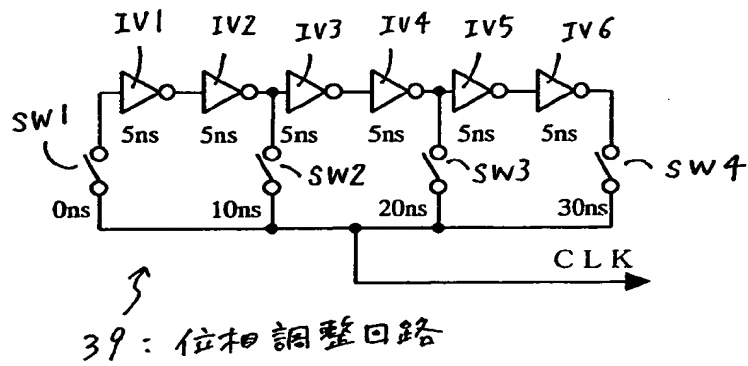
【図3】



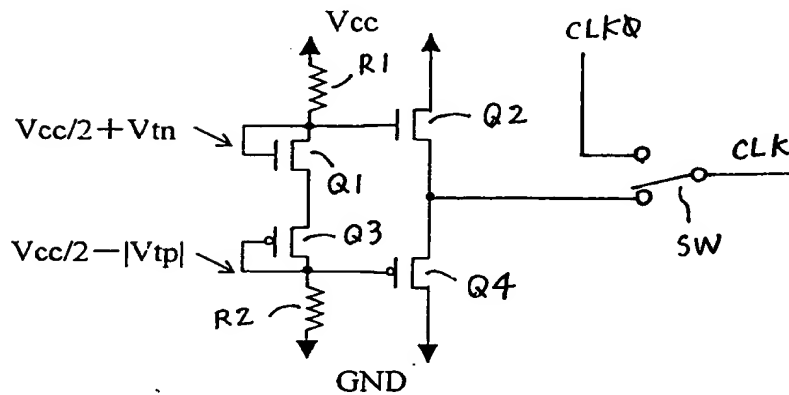
【図4】



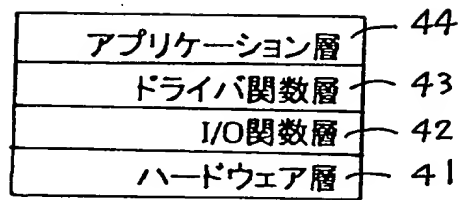
【図5】



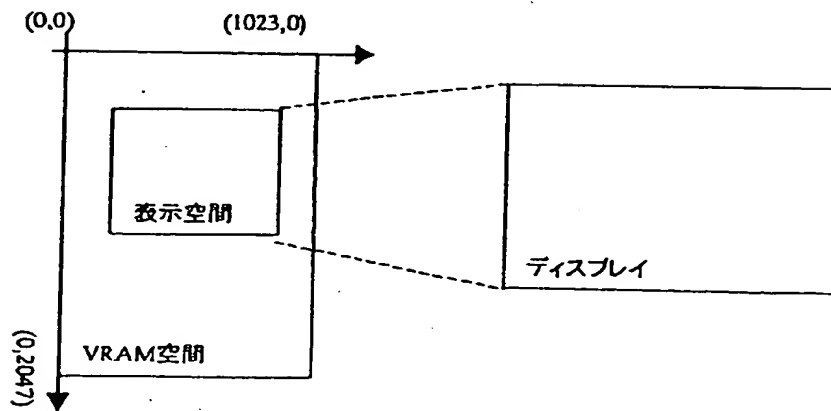
【図6】



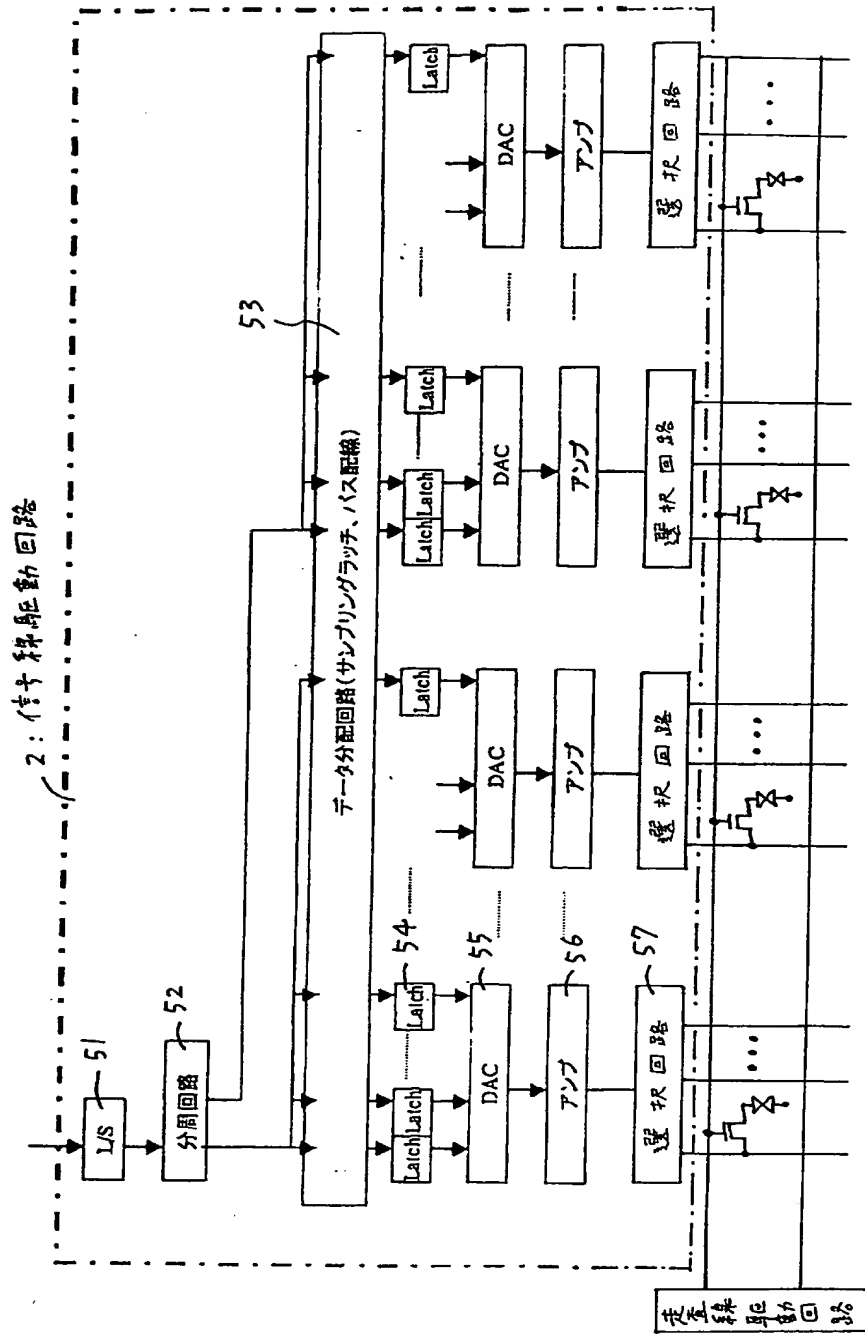
【図 7】



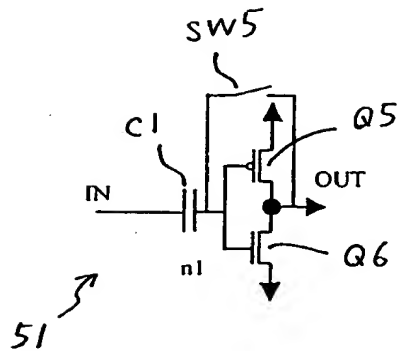
【図 8】



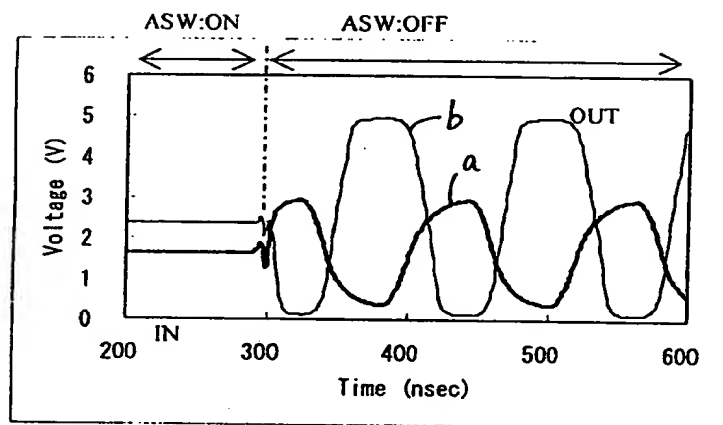
【図9】



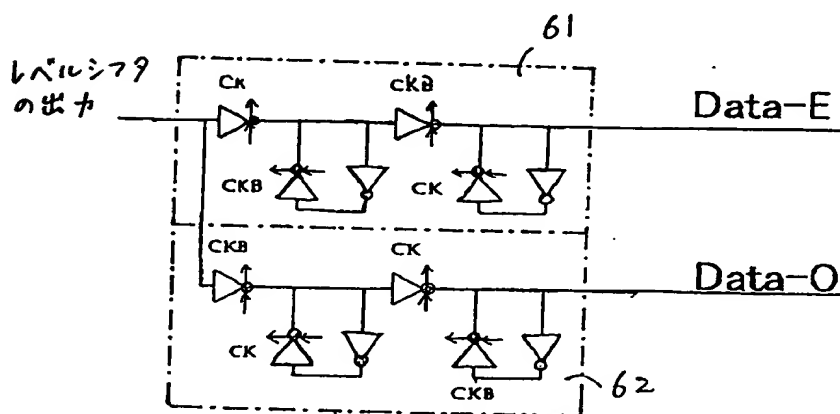
【図10】



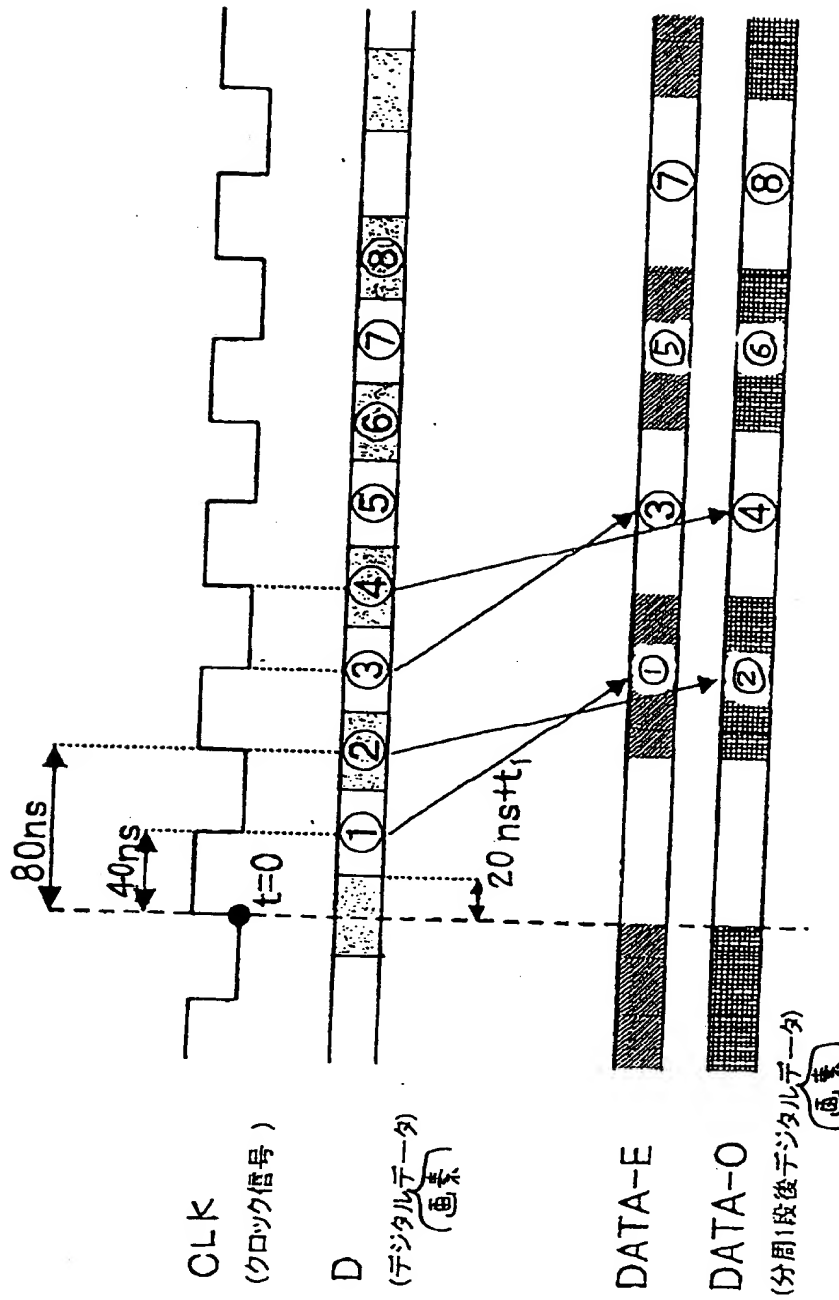
【図11】



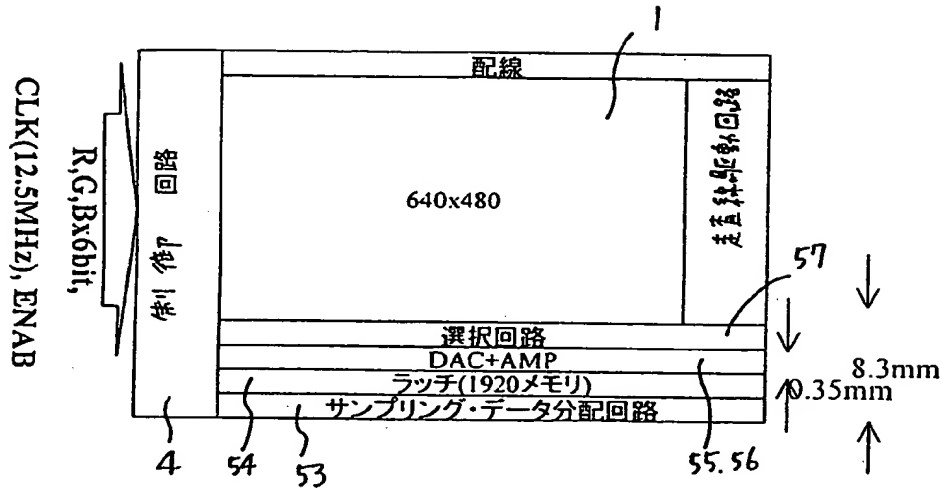
【図12】



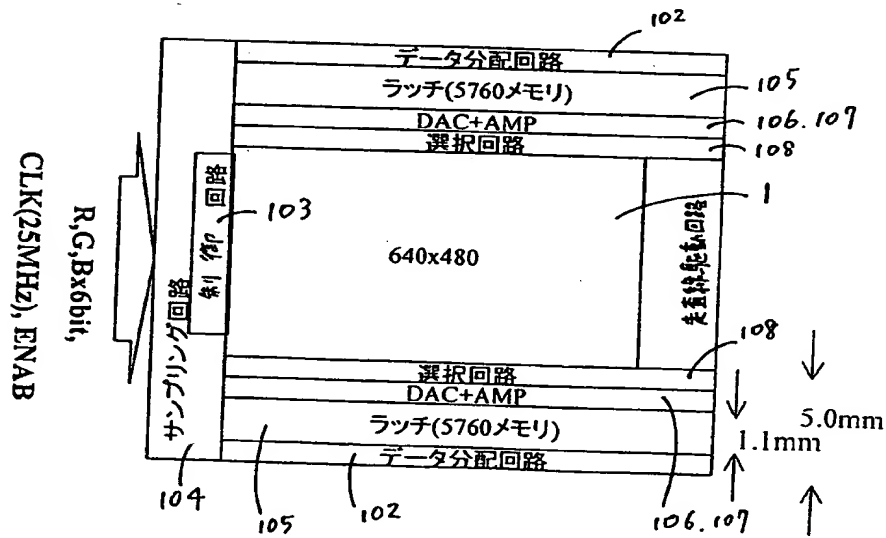
【図13】



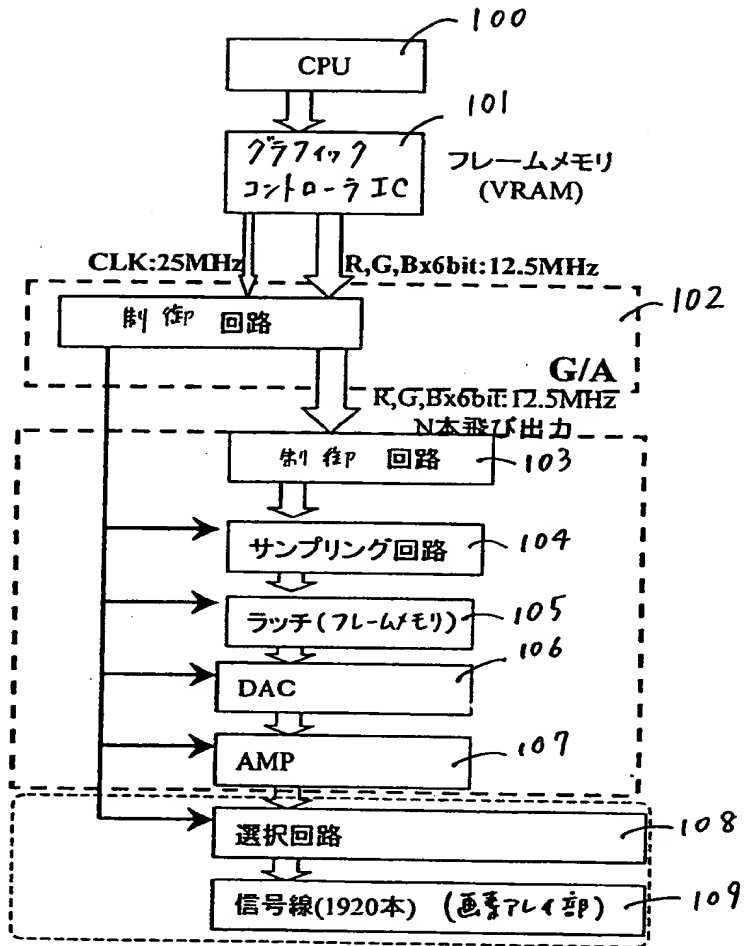
【図 14】



【図 15】



【図16】



【書類名】 要約書

【要約】

【課題】 小型化が可能で、高解像度でも安定動作する表示装置を提供する。

【解決手段】 本発明の表示装置は、ガラス基板上にポリシリコンTFTを用いて形成された画素アレイ部1、信号線駆動回路、走査線駆動回路および制御回路と、ガラス基板上に実装されたグラフィックコントローラIC5とを有する。グラフィックコントローラIC5は、デジタル画素データDATAの並び替えを内部で行うため、ゲートアレイを設ける必要がなくなる。また、クロック信号CLKの周期をデジタル画素データDATAの周期の2倍以上にするため、ポリシリコンTFTが正常に動作する周波数のクロック信号CLKを信号線駆動回路2に供給できる。さらに、クロック信号CLKのエッジとデジタル画素データDATAの変化位置とをずらして出力するため、信号線駆動回路2でデジタル画素データDATAを確実に取り込むことができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝